

การวิเคราะห์และเทคนิคการออกแบบวงจรอัดประจุ

Analysis and Design Techniques of Charge Pump Circuits

ปิติกันต์ รักรักษาการ

อาจารย์ประจำ ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยสยาม

E-mail: pitikan@siam.edu

บทคัดย่อ

ความก้าวหน้าทางเทคโนโลยีด้านอิเล็กทรอนิกส์และการสื่อสารในปัจจุบัน ทำให้เครื่องใช้อิเล็กทรอนิกส์ในปัจจุบันนี้มีขนาดเล็กและต้องประหยัดพลังงานมากขึ้น จึงเป็นเหตุผลให้ต้องมีการพัฒนาแหล่งจ่ายพลังงานให้มีประสิทธิภาพมากยิ่งขึ้น วงจรอัดประจุเป็นวงจรหนึ่งที่ถูกนำมาใช้งานอย่างกว้างขวาง เนื่องจากวงจรดังกล่าวสามารถเพิ่มแรงดันให้สูงขึ้นโดยใช้แหล่งจ่ายแรงดันระดับต่ำได้ ทั้งยังมีการสูญเสียต่ำ บทความนี้ได้กล่าวถึง หลักการทำงานเบื้องต้นของวงจรอัดประจุ คุณสมบัติและพฤติกรรมของวงจร พารามิเตอร์และแบบจำลอง เทคนิคและกลยุทธ์ในการออกแบบวงจร และการหาค่าพารามิเตอร์ที่เหมาะสม วงจรแบบดิคชัน รวมถึงแนะนำเทคนิคในการออกแบบวงจรอัดประจุที่มีใช้กันอยู่ในปัจจุบัน

คำสำคัญ: การประหยัดพลังงาน แหล่งจ่ายพลังงาน วงจรอัดประจุ

ABSTRACT

The technological advances in electronics and communication today. The consumer electronics today required smaller and more energy saving. These are the reason for the need of development of power supply to even higher levels of efficiency. Charge pump is a circuit that is used widely. Since such circuits can be increased by using high voltage as low voltage source and lossless. This article has discussed on basic operation of the pump charge circuit, the properties and behavior of the circuit, parameters and models, techniques and strategies in the design cycle and searching the appropriate parameters. Diskson Circuits and tricks of the design is applied in the present.

KEYWORDS: Energy savings, Power supply, Charge Pump

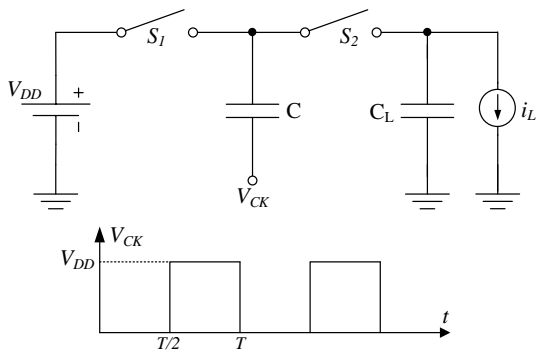
บทนำ

วงจรอัดประจุ (Charge Pump, CP) เป็นวงจรอิเล็กทรอนิกส์ที่สามารถแปลงแรงดันแหล่งจ่าย (Supply Voltage, V_{DD}) ให้กลายเป็นแรงดันไฟตรงที่มีค่าสูงกว่าแรงดันแหล่งจ่ายได้หลายเท่าตัว วงจรอัดประจุนี้จะมีลักษณะคล้ายวงจรแปลงแรงดันดิซีบูติซีคอนเวอร์เตอร์ (DC-DC Converter) ตรงที่แรงดันอินพุตจะมีค่าต่ำกว่าแรงดันเอาต์พุตเสมอ แต่จะมีความแตกต่างกันที่วงจรอัดประจุไม่มีการใช้ตัวเหนี่ยวนำประกอบในวงจรเลย วงจรอัดประจุจึงสร้างมาจากตัว

เก็บประจุและสวิตช์เท่านั้น จึงมีความเหมาะสมที่จะสร้างเป็นวงจรรวมลงในแผ่นซิลิกอน วงจรอัดประจุเริ่มมีการใช้ครั้งแรกเพื่อเป็นแหล่งจ่ายพลังงานให้กับวงจรรวมดิคิตอลและหน่วยความจำชนิดไม่ลบเลือน (Nonvolatile memory) และใช้ในการลดขนาดของแรงดันแหล่งจ่ายในวงจรรวมชนิดอื่นๆ ได้อีกมากมาย อาทิเช่น วงจรสวิตช์ตัวเก็บประจุ ออปแอมป์ วงจรคุมค่าแรงดัน หน่วยความจำชนิด SRAMs วงจรขับแอลอีดี

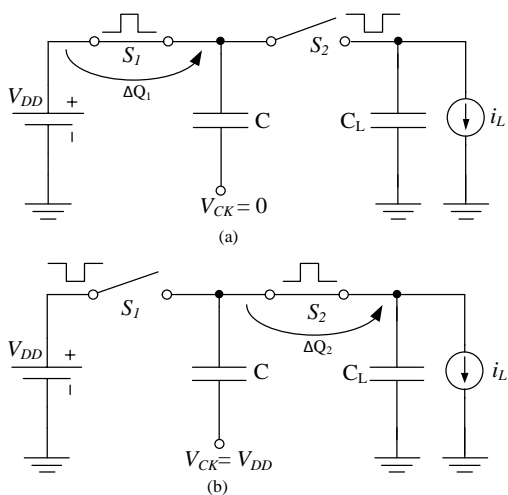
1. การวิเคราะห์วงจรอัดประจุอย่างง่าย

1.1 วงจรอัดประจุหนึ่งสเตจ (One-stage Charge Pump) (Pan & Samaddar, 2006)



รูปที่ 1 วงจรอัดประจุอย่างง่ายแบบสเตจเดียว และ สัญญาณนาฬิกา

เพื่อให้เข้าใจพฤติกรรมของวงจรอัดประจุให้มากขึ้น ลองพิจารณาวงจรอัดประจุอย่างง่ายแบบสเตจเดียวดังรูปที่ 1 ซึ่งประกอบไปด้วยตัวเก็บประจุ C ที่เรียกว่า Pumping Capacitance และสวิตช์สองตัวคือ S_1 และ S_2 (ซึ่งถูกขับด้วยสัญญาณสี่เหลี่ยมที่มีเฟสตรงข้ามกันเสมอ และมีสัญญาณนาฬิกา V_{CK} มาขับวงจรอัดประจุซึ่งมีขนาดเท่ากับแหล่งจ่าย V_{DD}) และบริเวณโหลดของวงจรจะถูกแสดงด้วยแหล่งจ่ายกระแส i_L ที่ต่อขนานรวมอยู่กับ C_L (เรียกว่า Bulk Capacitor)



รูปที่ 2 การทำงานของวงจรอัดประจุ (a) สัญญาณนาฬิกาครึ่งคาบแรก (b) สัญญาณนาฬิกาครึ่งคาบหลัง

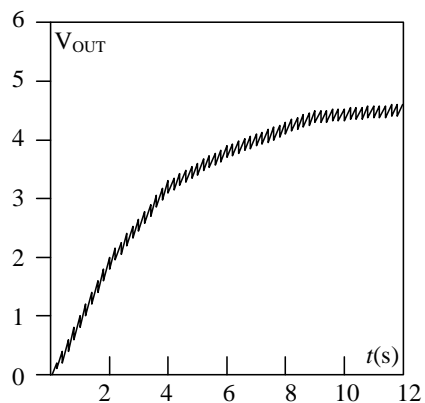
จากรูปที่ 2 อธิบายการทำงานของวงจรได้ดังนี้ เมื่อสัญญาณนาฬิกา V_{CK} ผ่านไปครึ่งคาบแรก (จาก 0

ถึง $T/2$) สวิตช์ S_1 จะถูกปิดและสวิตช์ S_2 จะถูกเปิด ทำให้ตัว C ถูกต่อเข้ากับแหล่งจ่ายและถูกอัดประจุจนมีแรงดันเท่ากับ V_{DD} ในขณะที่เอาต์พุตจะถูกดีชาร์จหรือคายประจุโดยมีกระแสไหลลงเท่ากับ i_L และปริมาณประจุเท่ากับ $i_L(T/2)$ และเมื่อสัญญาณนาฬิกา V_{CK} ครึ่งคาบหลังผ่านมา (จาก $T/2$ ถึง T) สัญญาณ V_{CK} ก็จะมีค่าเท่ากับ V_{DD} ดังรูปที่ 3 สวิตช์ S_1 จะเปิด และสวิตช์ S_2 จะถูกปิด ก็จะทำให้ประจุที่ถูกเก็บไว้ในตัว C จากช่วงที่แล้วถูกขับออกไปผ่านสวิตช์ S_2 ไปยัง C_L เป็นจำนวน $i_L(T/2)$ และเมื่อวงจรถูกขับด้วยสัญญาณ V_{CK} ซ้ำกันหลายๆ ไซเคิล สัญญาณเอาต์พุตก็จะมีค่าเพิ่มขึ้นและค่อยๆ คงที่เมื่อเวลาผ่านไปนานๆ ดังสมการเอาต์พุตคือ

$$V_{OUT}|_{steadystate} = 2V_{DD} - \frac{i_L T}{C} \quad (1)$$

เมื่อสัญญาณนาฬิกาผ่านไปหลายๆ ไซเคิล ก็จะทำให้ค่าแรงดันเอาต์พุตเริ่มเข้าใกล้จุดอิมิตัว แสดงดังรูปที่ 3 แสดงความสัมพันธ์ระหว่างแรงดันเอาต์พุตของวงจรอัดประจุหนึ่งสเตจกับจำนวนคาบสัญญาณ จะพบว่าเมื่อเวลาผ่านไปนานๆ แรงดันเอาต์พุตจะมีค่าลู่เข้าสู่ค่าคงที่อย่างช้าๆ

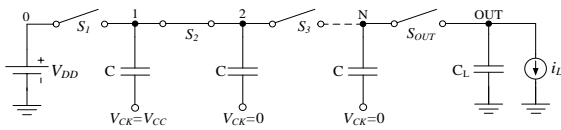
สรุปได้ว่าวงจรอัดประจุคือวงจรที่นำประจุไฟฟ้าจากแหล่งจ่ายพลังงานส่งผ่านไปยังตัวเก็บประจุตรงไปยังโหลดและเก็บประจุเหล่านั้นไว้ที่ C_L ทำให้แรงดันเอาต์พุตเพิ่มขึ้นอย่างช้าๆ และถ้าไม่มีการสูญเสียประจุที่โหลดก็จะทำให้แรงดันมีค่าเป็นสองเท่าของแหล่งจ่ายได้



รูปที่ 3 กราฟความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับ สัญญาณนาฬิกาของวงจรอัดประจุสเตจเดียว

1.2 วงจรอัดประจุเอ็นสเตจ (N-stage Charge Pump) (Pan & Samaddar, 2006)

จากหลักการของวงจรอัดประจุหนึ่งสเตจก็สามารถนำวงจรนี้มาต่อเรียงกันได้ดังรูปที่ 4 เป็นจำนวน N สเตจ โดยแต่ละวงจรมีตัวเก็บประจุ C และสวิตช์ S_i เป็นของตนเอง โดยวงจรทั้งหมดนี้จะต้องใช้สัญญาณนาฬิกา V_{CK} สองเฟส และต้องมีสวิตช์ S_{OUT} ติดตั้งอยู่ที่สเตจสุดท้ายก่อนถึง C_L อีกหนึ่งตัวด้วย วงจรอัดประจุเอ็นสเตจมีวิธีการทำงานคล้ายกับวงจรหนึ่งสเตจ คือเมื่อสัญญาณนาฬิกา V_{CK} ก็จะมีอยู่ในสถานะ Low และสวิตช์ลำดับเลขคี่ทั้งหมดก็จะถูกปิด ตัว C ตัวซ้ายสุดของวงจรเชื่อมต่อกับแหล่งจ่าย V_{DD} และถูกชาร์จให้มีแรงดันเท่ากับ V_{DD} รวมถึงตัว C ที่อยู่ในสเตจลำดับเลขคี่ทั้งหมดก็จะได้รับประจุจากตัว C ที่อยู่ในสเตจเลขคู่ที่อยู่ก่อนหน้า จากนั้นเมื่อสัญญาณนาฬิกา V_{CK} ก็จะอยู่ในสถานะ High และสวิตช์ลำดับเลขคี่ทั้งหมดจะถูกเปิดออก และ สวิตช์ลำดับเลขคู่ทั้งหมดจะถูกปิด ทำให้ตัว C ที่อยู่ในสเตจลำดับคี่ส่งประจุต่อไปยังตัว C ที่อยู่ในลำดับถัดไปก็คือเลขคู่ โดยสวิตช์ S_{OUT} ยังคงต้องเปิดอยู่ถ้าจำนวน สเตจเป็นเลขคู่



รูปที่ 4 วงจรอัดประจุเอ็นสเตจ

สรุปได้ว่าเมื่อวงจรได้รับสัญญาณนาฬิกาครบหนึ่งคาบเวลา ตัวเก็บประจุของแต่ละวงจรมีจะรับประจุจากตัวเก็บประจุที่อยู่ทางซ้าย และส่งผ่านต่อไปยังตัวเก็บประจุที่อยู่ทางขวา ในแต่ละคาบเวลาจะมีประจุไหลผ่านจากแหล่งจ่ายพลังงานที่อยู่ซ้ายสุดของวงจรไปยังไหลลดปลายทางขวาสุด โดยปริมาณ ประจุที่แลกเปลี่ยนกันช่วงครึ่งคาบสัญญาณกับตัวเก็บประจุสองตัวที่อยู่ติดกันจะเท่ากับ $i_L T$

เมื่อพิจารณาตัวอย่างวงจรอัดประจุสองสเตจที่มีกระแสไหลลดดังรูปที่ 5 ในช่วงสัญญาณ V_{CK} ครึ่งคาบแรก ตัวเก็บประจุตัวแรกจะเชื่อมต่อกับแหล่งจ่ายพลังงาน และถูกชาร์จจนมีประจุเท่ากับ ΔQ ปริมาณประจุที่เท่ากันนี้ก็จะถูกส่งต่อผ่านไปยังเอาต์พุต ดังรูปที่ 5(a) และในช่วงครึ่งคาบหลัง ตัวเก็บประจุตัวแรกและตัวที่สองเชื่อมต่อกัน ดังรูปที่ 5(c) สวิตช์ S_2 ถูกปิดลง

ก็จะเกิดการแลกเปลี่ยนประจุปริมาณเท่ากับ ΔQ ทำให้ค่าแรงดันที่แต่ละโหนดมีค่าสูงสุดเท่ากับ

$$V_a|_{V_{CK}=V_{DD}} = V_b|_{V_{CK}=0} = V_a|_{V_{CK}=0} + V_{CK} - \frac{i_L T}{C}$$

แต่เนื่องจาก $V_a|_{V_{CK}=0} = V_{CK} = V_{DD}$ จึงทำให้

$$V_a|_{V_{CK}=V_{DD}} = V_b|_{V_{CK}=0} = 2V_{DD} - \frac{i_L T}{C} \quad (2)$$

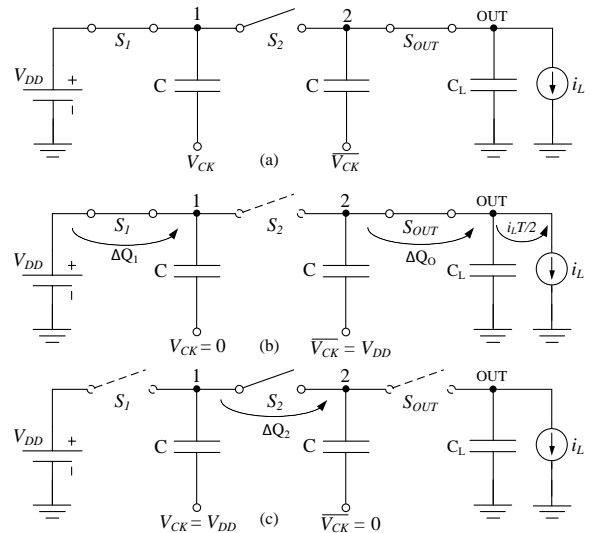
หลังจากสัญญาณ V_{CK} ครึ่งคาบแรกผ่านไปเมื่อ S_1 และ S_{OUT} ถูกปิดลง แรงดันเอาต์พุตก็จะได้

$$V_{OUT} = V_b|_{V_{CK}=V_{DD}} = V_b|_{V_{CK}=0} + V_{CK} - \frac{i_L T}{C} = 3V_{DD} - 2\left(\frac{i_L T}{C}\right) \quad (3)$$

จากสมการ (3) ถ้าขยายให้เป็น N สเตจ จะได้สมการแรงดันเอาต์พุตเป็น

$$V_{OUT} = (N+1)V_{DD} - N\left(\frac{i_L T}{C}\right) \quad (4)$$

จากสมการ (4) แสดงให้เห็นถึงตัวแปรที่จำเป็นต่อการออกแบบวงจร ซึ่งค่า N และ V_{DD} มีข้อจำกัดที่ไม่สามารถทำให้มีค่าสูงได้ในทางปฏิบัติ ถ้าต้องการให้แรงดันเอาต์พุตมีค่าสูงๆ ควรจะปรับแต่งที่ค่าความจุไฟฟ้าหรือคาบเวลาจะสะดวกกว่า



รูปที่ 5 วงจรอัดประจุสองสเตจ

- (a) โครงสร้างวงจร
- (b) สัญญาณนาฬิกาครึ่งคาบแรก
- (c) สัญญาณนาฬิกาครึ่งคาบหลัง

1.3 แรงดันโหนดในวงจรอัดประจุ

เมื่อพิจารณาแรงดันที่โหนดต่างๆ ของวงจรอัดประจุก็จะพบว่ามีค่าสูงกว่าแรงดันแหล่งจ่ายทั้งสิ้น การประมาณค่าแรงดันที่เกิดขึ้นในวงจรอัดประจุที่เกิดขึ้นกับอุปกรณ์แต่ละตัวจึงเป็นสิ่งสำคัญ โดยเฉพาะแรงดันที่ปรากฏที่สวิทช์ของแต่ละตัว เนื่องจากความไม่เป็นอุดมคติของสวิทช์ในทางปฏิบัติจะทำให้เกิดแรงดันสูญเสียขึ้นในวงจรและทำให้แรงดันเอาต์พุตต่ำกว่าที่ควรจะได้จากสมการ (4)

เริ่มต้นพิจารณาจากแรงดันที่โหนด k และวิเคราะห์หาค่าเริ่มต้นและสิ้นสุดของแต่ละครึ่งคาบสัญญาณ โดยยังไม่ต้องสนใจการสูญเสียใดๆ ให้เราสมมติว่าในครึ่งคาบแรก ตัวเก็บประจุที่อยู่ในสเตจ k (ได้รับสัญญาณ V_{CK} เป็น Low) ถูกเชื่อมต่อกับสเตจก่อนหน้าผ่านสวิทช์ S_k ดังนั้นในช่วงครึ่งคาบแรกตัวเก็บประจุที่อยู่ในสเตจ k จะได้รับประจุ ΔQ จากตัวเก็บประจุที่อยู่ในสเตจ $k-1$ (สเตจก่อนหน้า) ถ้ากำหนดให้ ΔV เป็นค่าแรงดันที่เปลี่ยนไปของตัวเก็บประจุในวงจร เนื่องจากการแลกเปลี่ยนประจุ ΔQ ก็จะได้ค่าแรงดันที่โหนดในช่วงเริ่มต้นของครึ่งคาบแรกเป็น

$$V_{start-left} = k(V_{DD} - \Delta V) \quad (6)$$

ค่าแรงดันเมื่อสิ้นสุดครึ่งคาบแรกก็จะเป็น

$$V_{end-left} = k(V_{DD} - \Delta V) + \Delta V \quad (7)$$

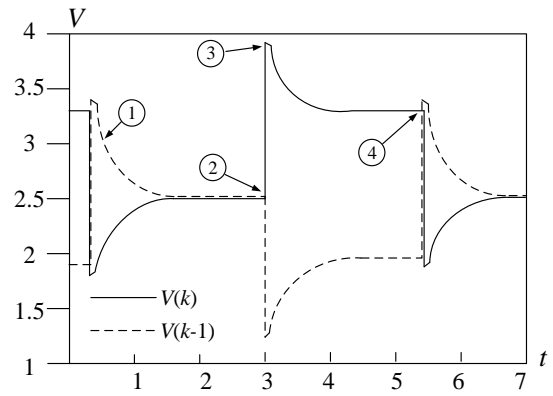
หลังจากครึ่งคาบแรกผ่านไป S_1 ถูกเปิดและ S_{k+1} ถูกปิด สัญญาณ V_{CK} ก็จะมีค่าเป็น High เกิดการชาร์จร่วมกันกับตัวเก็บประจุในสเตจ $k+1$ แรงดันเริ่มต้นที่ครึ่งคาบหลังจะเท่ากับ

$$V_{start-right} = k(V_{DD} - \Delta V) + \Delta V + V_{DD} \quad (8)$$

ค่าแรงดันเมื่อสิ้นสุดครึ่งคาบหลังก็จะเป็น

$$V_{end-right} = k(V_{DD} - \Delta V) + V_{DD} \quad (9)$$

ถ้าให้สวิทช์ S_k เชื่อมต่อกับตัวเก็บประจุที่โหนด $k-1$ และ k ก็จะมีค่าแรงดันที่โหนด $V_{k,k-1} = V_k - V_{k-1}$ แสดงดังรูปที่ 6



รูปที่ 6 รูปคลื่นแรงดันที่ตกคร่อมสวิทช์ S_k

จากรูปที่ 6 อธิบายได้ว่า เมื่อสิ้นสุดสัญญาณครึ่งคาบแรก สวิทช์ S_k จะถูกปิดลง ทำให้แรงดันที่ตกคร่อมสวิทช์มีค่าเป็นศูนย์ แสดงดังบริเวณหมายเลข 2 ที่กำลังเริ่มต้นหลังจากสิ้นสุดสัญญาณครึ่งคาบแรก (S_k -open) เปลี่ยนแปลง และแรงดันที่โหนด k และ $k-1$ ตกลงและเพิ่มขึ้นตามลำดับ ตามขนาดสัญญาณนาฬิกา จะทำให้แรงดันที่ตกคร่อมสวิทช์มีค่าเป็น $V_{k,k-1} = 2V_{DD}$ (บริเวณหมายเลข 3) เมื่อสิ้นสุดครึ่งคาบแรกตัวเก็บประจุที่โหนด k จะให้ประจุและโหนด $k-1$ ก็จะได้รับประจุ ΔQ เข้ามา ดูได้จากบริเวณหมายเลข 4 จากนั้นแรงดันที่โหนด k ก็จะลดลง และโหนด $k-1$ ก็จะเพิ่มขึ้นเป็นจำนวน ΔV และแรงดัน $V_{k,k-1} = 2V_{DD} - 2\Delta V$ ท้ายสุดเมื่อสวิทช์ S_k ถูกปิดอีกครั้งเกิดการแลกเปลี่ยนประจุกันระหว่างโหนด $j-1$ และ j กันอีกครั้ง สัญญาณนาฬิกาเปลี่ยนแปลงอีกครั้ง และแรงดันที่ตกคร่อมที่สวิทช์ก็จะเท่ากับ $V_{k,k-1} = -2\Delta V$ (บริเวณหมายเลข 1) จากที่ได้กล่าวมาก็สามารถสรุปค่าแรงดันที่ปรากฏในวงจรอัดประจุที่บริเวณต่างๆ ได้ดังตารางที่ 1

แรงดันที่ตกคร่อมสวิทช์ก็ยังขึ้นอยู่กับขนาดของสัญญาณนาฬิกาด้วยเช่นกัน ถ้าเรากำหนดให้ขนาดเท่ากับแรงดันแหล่งจ่าย ค่าแรงดันสเตปหรือ ΔV มีค่าเท่ากับ

$$\Delta V = V_{DD} + \frac{V_{DD} - V_{OUT}}{N} \quad (10)$$

ตารางที่ 1 ค่าแรงดันที่สวิทช์ที่ช่วงเวลาต่างๆ

ช่วงเวลา (Time)	แรงดันที่สวิทช์ $V_{k,k-1}$
สวิทช์ S_k กำลังจะปิด	$-2\Delta V$
สวิทช์ S_k ปิดเรียบร้อยแล้ว	0
สวิทช์ S_k กำลังจะเปิด	$2V_{DD}$
สวิทช์ S_k เปิดเรียบร้อยแล้ว	$2V_{DD} - 2\Delta V$

จากตารางที่ 1 พบว่าในขณะที่สวิทช์ S_k กำลังจะปิด และเปิดเรียบร้อยแล้ว จะมีแรงดันสูญเสียที่สวิทช์เท่ากับ $-2\Delta V$ เสมอ ทำให้การออกแบบวงจรต้องคำนึงถึงค่านี้ด้วย และหาทางแก้ไขหรือชดเชยค่าสูญเสียนี้

1.4 พารามิเตอร์และแบบจำลองของวงจรอัดประจุ

ตัวแปรที่สำคัญที่สุดอย่างหนึ่งในการออกแบบวงจรอัดประจุคือ จำนวนสแตจ พื้นที่วงจรถวาย (Silicon Area) และกระแสสิ้นเปลือง (Current Consumption) นอกจากนั้นการออกแบบยังต้องใช้ตัวเก็บประจุโพลิตอีกด้วย เช่นเดียวกับกับค่า Rise Time (ช่วงเวลาขึ้น) และค่า Charge Consumption (ความสิ้นเปลืองประจุ) ระหว่างช่วงเวลาขึ้น และความถี่สัญญาณนาฬิกาก็เป็นสิ่งสำคัญเช่นกัน จึงจะได้กล่าวเป็นลำดับต่อไป

จำนวนสแตจ หรือค่า N ถือเป็นค่าที่มีผลโดยตรงต่อค่าแรงดันเอาต์พุตตามสมการที่ (4) ในกรณีนี้โพลิตเป็นตัวเก็บประจุอย่างเดี่ยว และไม่เกิดความสูญเสียใดๆที่โพลิต แรงดันเอาต์พุตจะขึ้นอยู่กับค่า N ดังนี้

$$V_{OUT} = (N+1)V_{DD} \quad (11)$$

การปรับปรุงวงจรถวายภาพอีกวิธีหนึ่งคือพื้นที่รวมของวงจรถวาย หรือ Total Silicon Area, A_T ซึ่งอาจเป็นเรื่องสำคัญ เนื่องจากวงจรถวายส่วนใหญ่ใช้พื้นที่เป็นตัวเก็บประจุเป็นส่วนใหญ่ เราสามารถประมาณค่าพื้นที่วงจรถวายที่ต้องการใช้สำหรับตัวเก็บประจุได้ดังสมการ

$$A_T = k \cdot N \cdot C = k \cdot C_T \quad (12)$$

เมื่อ k คือค่าคงที่ซึ่งขึ้นอยู่กับขบวนการผลิต และ C_T คือค่าความจุไฟฟ้ารวมทั้งหมดในวงจรถวาย

เมื่อเรานำสมการที่ (4) แทนลงในสมการ (12) จะได้ค่าพื้นที่รวมของวงจรถวายได้เป็นสมการ

$$A_T = k \left(\frac{N^2 \cdot i_L}{(N+1)V_{DD} - V_{OUT}f} \right) \quad (13)$$

จากสมการ (13) พบว่าเมื่อกระแสโพลิตเพิ่มขึ้นหรือความถี่สัญญาณนาฬิกา V_{CK} ลดลงค่าพื้นที่รวมวงจรถวายก็จะเพิ่มขึ้นเสมอ ยิ่งไปกว่านั้นยังต้องใช้ปริมาณประจุที่เพิ่มมากขึ้นและค่าความจุไฟฟ้าที่สูงขึ้นด้วย แสดงให้เห็นว่าถ้าสามารถทำให้ค่า N มีค่าที่เหมาะสม นำสมการ (13) ไปวิเคราะห์โดยให้ตัวแปรอื่นๆมีค่าคงที่) แล้วก็จะทำให้พื้นที่ของวงจรถวายมีเพิ่มขึ้น

และแรงดันเอาต์พุตก็จะเพิ่มขึ้นด้วย และช่วยลดค่าแรงดันแหล่งจ่ายลงได้

ค่ากระแสสิ้นเปลือง (Current Consumption, I_{DD}) (Tanzawa & Tanaka, 1997) เป็นกระแสที่เกิดขึ้นจากกระแสปกติที่เกิดขึ้นในวงจรถวายแบบอุดมคติ I_{ID} รวมกับกระแสที่เกิดจากผลกระทบของค่าแฝงต่างๆในวงจรถวายคือ I_{Par} รวมกันเป็น

$$I_{DD} = I_{ID} + I_{Par} \quad (14)$$

ค่ากระแส I_{ID} หาค่าได้จากปริมาณประจุที่ไหลผ่านจากแหล่งจ่ายพลังงานไปยังโพลิตโดยถูกส่งผ่านไปตามตัวเก็บประจุตัวหนึ่งไปสู่อีกตัวหนึ่งในหนึ่งคาบสัญญาณ T มีค่าดังสมการ

$$I_{ID} = (N+1) \cdot \frac{\Delta Q}{T} = (N+1) \cdot i_L \quad (15)$$

จากสมการ (15) เราสามารถเพิ่มปริมาณกระแสให้กับวงจรถวายได้โดยการเพิ่มจำนวน N และไม่จำเป็นต้องเพิ่มค่าแรงดันแหล่งจ่ายของวงจรถวาย (โดยการเพิ่มเป็นจำนวน $N+1$ เท่า) I_{Par} หมายถึงกระแสที่เกิดจากการอัดและคายประจุในแต่ละคาบเวลา T ดังสมการ

$$I_{ID} = N \cdot \frac{C_p V_{DD}}{T} = \alpha \cdot N \cdot C_T \cdot f \cdot V_{DD} \quad (16)$$

C_p คือค่าความจุไฟฟ้าแฝงในวงจรถวาย ซึ่งมีค่าแปรผันตามค่า C และ α คือ ค่าคงที่ จากสมการ (15) และ (16) นำมารวมกันเพื่อหาค่ากระแส I_{CC} ได้เป็น

$$I_{DD} = \left((N+1) + \frac{\alpha \cdot N^2 V_{DD}}{(N+1)V_{DD} - V_{OUT}} \right) i_L \quad (17)$$

จากสมการพบว่าค่ากำลังงานสิ้นเปลืองของวงจรถวายจะไม่ขึ้นอยู่กับความถี่ของสัญญาณนาฬิกาและค่าความจุไฟฟ้ารวม C_p แต่จะมีค่าขึ้นอยู่กับกระแส i_L และจำนวน N

Rise Time, t_R หรือช่วงเวลาขึ้น หมายถึงเวลาที่วงจรถวายใช้ในการปรับระดับสัญญาณให้เท่ากับแรงดันเอาต์พุต $V_{OUT}(t_R)$ พารามิเตอร์นี้จะนิยมใช้กับวงจรถวายโพลิตเป็นตัวเก็บประจุอย่างเดี่ยว และการวิเคราะห์หาค่า t_R จะต้องใช้แบบจำลองชนิดไดนามิกที่มีผู้นำเสนอไว้ในบทความ Tanzawa & Tanaka (1997) และ Palumbo et al. (2000) โดย ค่า t_R จะประมาณค่าได้จากสมการ

$$t_R = T \cdot \left(\frac{N \cdot C_L}{C} + 0.3N + 0.6 \right) \cdot \ln \left[\frac{(N+1)V_{DD} - V_{OUT}(0)}{(N+1)V_{DD} - V_{OUT}(t_R)} \right] \quad (18)$$

โดยปกติแล้วค่า N จะมีค่ามากกว่า 1 เสมอ เราจึงประมาณค่าสมการ (18) ใหม่ได้เป็น

$$t_R = T \cdot N^2 \left(\frac{C_L + C_{Eq}}{C_T} \right) \cdot \ln \left[\frac{N+1-V_{X0}}{N+1-V_X} \right] \quad (19)$$

โดยที่ $V_X = \frac{V_{OUT}(t_R)}{V_{DD}} \quad (20)$

และ $V_{X0} = \frac{V_{OUT}(0)}{V_{DD}} \quad (21)$

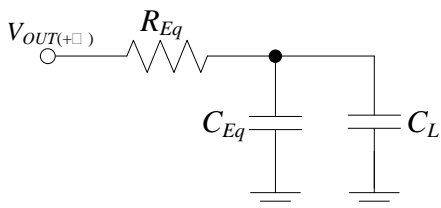
เมื่อ C_{Eq} คือค่าความจุไฟฟ้ารวมเทียบเท่าทั้งหมดภายในวงจรอัตราประจุ กำหนดให้ค่า $C_{Eq} = C_T/3$ โดยประมาณจากสมการ (19) เมื่อสัญญาณแรงดันเอาต์พุตเข้าสู่สภาวะคงตัว ค่าเวลา t_R จะมีค่าเข้าใกล้อนันต์ และยังพบว่าค่า t_R ยังขึ้นอยู่กับค่า C_L และ C_T ด้วย จากสมการจะได้

$$V_{OUT}(t_R) = (N+1)V_{DD} - [(N+1)V_{DD} - V_{OUT}(0)] \exp \left(\frac{-t_R}{\frac{N}{C_f}(C_L + C_{Eq})} \right) \quad (22)$$

สมการ (22) ได้มาจากการวิเคราะห์พฤติกรรมของวงจรผ่านแบบจำลองไดนามิกที่แสดงดังรูปที่ 7 ซึ่งมีลักษณะเป็นวงจร RC โดยกำหนดให้

$$R_{Eq} = \frac{N}{C \cdot f} \quad (23)$$

จากสมการ (22) ถ้ากำหนดให้ $V_{OUT}(+\infty)$ จะทำให้ค่าแรงดันเอาต์พุตเท่ากับสมการที่ (11)

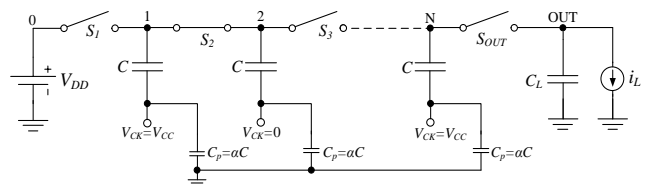


รูปที่ 7 วงจรเทียบเท่าของวงจรอัตราประจุ

ถ้าวงจรอัตราประจุมีโหลดเป็นตัวเก็บประจุอย่างเดียว ก็จะทำให้เกิดค่าขึ้นอีกตัวหนึ่งคือ Charge Consumption, Q_T (ประจุสิ้นเปลือง) ซึ่งเกิดขึ้นจากส่งผ่านประจุจากแหล่งจ่ายพลังงานไปยังวงจรขณะช่วงเวลาขาขึ้น ซึ่งค่านี้ประกอบไปด้วยผลรวมของค่าประจุสามตัวดังสมการ

$$Q_T = Q_L + Q_p + Q_{Par} \quad (24)$$

Q_L คือประจุที่ถูกส่งไปยังโหลด Q_p คือค่าประจุที่เกิดขึ้นในช่วงสภาวะทรานเซียนต์ที่เกิดจาก C และ Q_{Par} คือค่าประจุนสูญเสียที่เกิดจากอุปกรณ์แฝงแสดงดังรูปที่ 9 (โนดของตัวเก็บประจุแฝงจะอยู่ด้านล่าง) โดยทั่วไปแล้วค่า C_p มักจะมีค่าสูงกว่าค่าความจุไฟฟ้าตัวอื่นๆที่อยู่ในเพลทเดียวกัน



รูปที่ 8 วงจรอัตราประจุเอ็นสเตจที่รวมค่าความจุไฟฟ้าแฝงเข้าไปในวงจร

เมื่อย้อนกลับมายังรูปที่ 7 เราจะได้ค่าประจุในวงจรเทียบเท่า RC นี้เท่ากับ

$$Q_L(t_R) + Q_p(t_R) = (N+1)(C_{Eq} + C_L) \cdot \dots \cdot [V_{OUT}(t_R) - V_{OUT}(0)] \quad (25)$$

ในช่วงระหว่างคาบสัญญาณ ค่าประจุนสูญเสียที่มาจากค่าแฝงต่างๆ ที่อยู่ด้านล่างของรูปที่ 8 สามารถเขียนให้อยู่ในรูปของ NC_pV_{DD} และมีผลต่อค่า Rise Time ดังสมการ

$$Q_{Par} = N \cdot C_p \cdot V_{DD} \frac{t_R}{T} = \alpha \cdot C_T \cdot V_{DD} \frac{t_R}{T} \quad (26)$$

จากค่าความจุไฟฟ้าแฝงในสมการ (26) อาจจะสามารถได้ว่ามันแปรผันตามค่า C โดยผ่านตัวประกอบ $\alpha = C_p/C$ (เป็นค่าคงที่ ขึ้นอยู่กับเทคโนโลยีในการออกแบบวงจร)

นำสมการ (25) และ (26) แทนลงในสมการ (24) ก็จะได้ค่าประจุมรวมที่แหล่งจ่ายพลังงานให้ออกมาจนถึง Rise Time เท่ากับ

$$Q_T(t_R) = \left[(N+1)(V_X - V_{X0}) + \alpha N^2 \ln \frac{N+1-V_{X0}}{N+1-V_X} \right] \dots$$

$$\dots (C_{Eq} + C_L)V_{DD} \quad (27)$$

โดย V_X และ V_{X0} นิยามได้จากสมการ (20) และ (21) ตามลำดับ

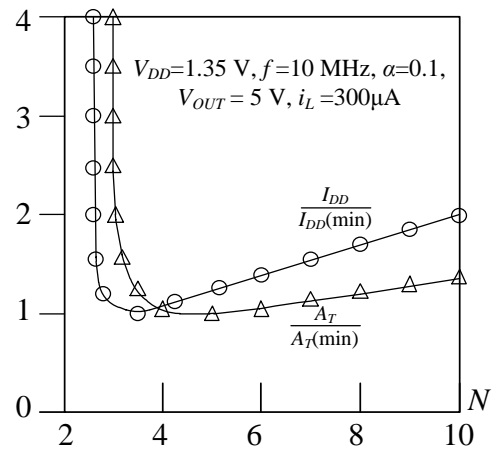
จากสมการ (27) จะพบว่าค่าประจุมรวมจะขึ้นอยู่กับค่า N เป็นหลัก ซึ่งมีผลต่อการออกแบบวงจรมากกว่าตัวแปรอื่นๆ

2. การออกแบบวงจรอัตราส่วนที่มีโหลดกระแส

พารามิเตอร์ที่สำคัญในการออกแบบวงจรอัตราส่วนที่ประกอบไปด้วยโหลดกระแสได้สรุปไว้ในตารางที่ 2 โดยมีตัวแปรที่เราไม่ทราบค่าที่ต้องหาจำนวนสามตัว โดยค่ากระแส I_{DD} หาได้จากสมการ (17) และค่าความจุไฟฟ้า C_T หาได้จากสมการ (13) เริ่มแรกจะต้องหาค่า N และค่าอื่นๆที่จำเป็นอีก 2-3 ตัว เช่นพื้นที่วงจรถ่วงหรือกำลังงานสิ้นเปลือง โดยพิจารณาจากกราฟในรูปที่ 10 ตัวอย่างเช่น $V_{DD} = 1.35 \text{ V}$, $V_{OUT} = 5 \text{ V}$, $f = 10 \text{ MHz}$, $\alpha = 0.1$ และ $i_L = 300 \mu\text{A}$ เป็นต้น โดยให้พื้นที่วงจรถ่วงและค่ากระแสสิ้นเปลืองมีค่าน้อยที่สุด เพื่อให้ได้ค่า N ที่แตกต่างกันได้

ตารางที่ 2 พารามิเตอร์ที่ใช้ออกแบบวงจรถ่วง

พารามิเตอร์	คำแนะนำ
V_{DD}	ขึ้นอยู่กับเทคโนโลยีที่ใช้
I_{DD}	ไม่ทราบค่า
V_{OUT}	มีข้อจำกัดในการออกแบบ
I_{OUT}	มีข้อจำกัดในการออกแบบ
$f=1/T$	ขึ้นอยู่กับระบบที่ใช้
$C_T \propto A_T$	ไม่ทราบค่า
N	ไม่ทราบค่า
$\alpha = C_p/C$	ขึ้นอยู่กับเทคโนโลยีที่ใช้



รูปที่ 9 กราฟความสัมพันธ์ระหว่างอัตราส่วนกระแสสิ้นเปลืองจากสมการ (17) และอัตราส่วนพื้นที่ จากสมการ (13) กับจำนวนสแตจ N

จากรูปที่ 9 พบว่าค่าอัตราส่วนกระแสสิ้นเปลือง และอัตราส่วนพื้นที่ มีแนวโน้มไปในทิศทางเดียวกันที่จำนวนสแตจใกล้เคียงกัน ทำให้การออกแบบวงจรถ่วงสามารถปรับแต่งเพียงค่าใดค่าหนึ่งก็เพียงพอ

2.1 การหาพื้นที่ครอบครองของวงจรถ่วงให้มีความต่ำที่สุด (Area Occupation Minimization)

เพื่อให้ได้ค่า N ที่เหมาะสม และพื้นที่วงจรถ่วงให้ต่ำที่สุด เราต้องหาค่าอนุพันธ์ของสมการที่ (13) แล้วให้เท่ากับศูนย์ ในอีกแง่หนึ่ง ถ้าเราต้องการค่ากระแสที่ไหลไปยังโหลดให้มีค่ามากที่สุด เราก็ต้องให้อนุพันธ์ของสมการกระแส i_L จากสมการ (4) มีค่าเป็นศูนย์ จากทั้งสองกรณีก็จะได้จากสมการ (13)

$$\left[2N(N+1)V_{DD} + V_{OUT} - N^2V_{DD} \right] \cdot \frac{i_L}{f} = 0 \quad (28)$$

จากสมการ (28) ก็จะหาค่า N ที่เหมาะสมได้คือ

$$N_{Aop} = 2 \left(\frac{V_{OUT}}{V_{DD}} - 1 \right) \quad (29)$$

จากสมการ (4) สามารถหาค่า C ที่เหมาะสมได้เป็น

$$C = N \left(\frac{I_L \cdot T}{(N+1)V_{DD} - V_{OUT}} \right) \quad (30)$$

เมื่อนำค่า N จากสมการ (29) แทนลงในสมการ (30) ก็จะสามารถหาค่า C ได้

2.2 การออกแบบวงจรให้มีค่ากระแสหรือกำลัง สิ้นเปลืองต่ำที่สุด (Current or Power Consumption Minimization)

การหาค่า N ที่เหมาะสมและทำให้กระแส
สิ้นเปลือง มีค่าต่ำสุด เริ่มจากการหอนุพันธ์ของสมการ
(17) แล้วให้เท่ากับศูนย์ จะได้

$$1 + \alpha \frac{N[(N+2) \cdot V_{DD} - 2V_{OUT}]}{[(N+1)V_{DD} - V_{OUT}]^2} \cdot V_{DD} = 0 \quad (31)$$

จากสมการ (31) จะหาค่า N ที่เหมาะสมได้
คือ

$$N_{lop} = \left(1 + \sqrt{\frac{\alpha}{1+\alpha}}\right) \cdot \left(\frac{V_{OUT}}{V_{DD}} - 1\right) \quad (32)$$

จากนั้นนำค่า N_{LOP} จากสมการ (32) แทนลงใน
ค่า N ของสมการ (30) ก็จะสามารถหาค่า C ได้

2.3 เปรียบเทียบกลยุทธ์การออกแบบของทั้ง สองวิธี

จากหัวข้อ 2.1 และ 2.2 ได้นำเสนอวิธีการ
ออกแบบวงจรอัดประจุสองวิธีคือการให้พื้นที่วงจรถ่ำ
ที่สุดและกระแสสิ้นเปลืองต่ำที่สุด ในหัวข้อนี้จะขอ
เปรียบเทียบข้อเด่นและข้อด้อยของทั้งสองวิธี เพื่อให้
ผู้อ่านพิจารณาหาวิธีที่เหมาะสมต่อไป

จากสมการ (30) เราสามารถนำค่า N_{Aop} และ
 N_{lop} มาแทนในสมการเพื่อหาค่า C ที่เหมาะสมเพื่อให้
พื้นที่วงจรถ่ำที่สุดและกระแสสิ้นเปลืองต่ำที่สุด
ตามลำดับ เราจะเริ่มต้นจากการนำค่า N_{Aop} จาก
สมการ (29) แทนลงในตัวแปร N ของสมการ (30) จะ
ได้

$$C_{T(Aop)} = 4 \left(\frac{V_{OUT}}{V_{DD}} - 1\right) \left(\frac{I_L \cdot T}{V_{DD}}\right) \quad (33)$$

นำค่า N_{lop} จากสมการ (32) แทนลงในตัวแปร N
ของสมการ (30) จะได้

$$C_{T(lop)} = \frac{\left(1 + \sqrt{\frac{\alpha}{1+\alpha}}\right)^2}{\sqrt{1+\alpha}} \left(\frac{V_{OUT}}{V_{DD}} - 1\right) \left(\frac{I_L \cdot T}{V_{DD}}\right) \quad (34)$$

นำสมการ (33) และ (34) มารวมกันจะได้

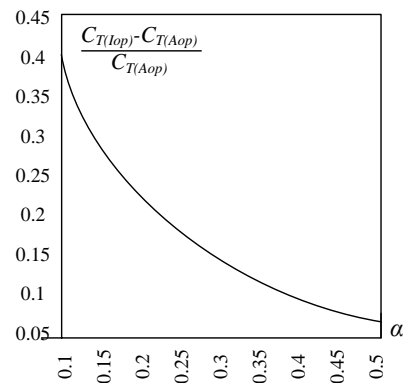
$$\frac{C_{T(lop)} - C_{T(Aop)}}{C_{T(Aop)}} = \frac{\left(1 + \sqrt{\frac{\alpha}{1+\alpha}}\right)^2}{4\sqrt{1+\alpha}} - 1 \quad (35)$$

จากสมการ (35) นำไปพล็อตกราฟแสดงดังรูป
ที่ 10 สรุปได้ว่า ถ้าค่า α มีค่าต่างๆ ประมาณ 0.1 จะทำ
ให้อัตราการเพิ่มขึ้นของความจุไฟฟ้ารวม C_T มีค่าสูงขึ้น
และถ้าพิจารณาจากตารางที่ 2 ก็พบว่าพื้นที่วงจรถ่ำ
ต้องสูงขึ้นด้วย

ต่อไปเราจะมาพิจารณาความสัมพันธ์ของ
กระแสสิ้นเปลืองและพื้นที่ของวงจรถ่ำโดยนำสมการ (29)
หรือ (32) แทนลงในสมการ (17) เพื่อหาความสัมพันธ์
ระหว่าง I_{DD} และ α ได้เป็น

$$I_{DD,Aop} = \left[2(1+2\alpha) \left(\frac{V_{OUT}}{V_{DD}} - 1\right) + 1\right] i_L \quad (36)$$

$$I_{DD,lop} = \left[\left(1+2\alpha\right) + 2\sqrt{\alpha + \alpha^2} \left(\frac{V_{OUT}}{V_{DD}} - 1\right) + 1\right] i_L \quad (37)$$



รูปที่ 10 กราฟความสัมพันธ์ระหว่างอัตราส่วนพื้นที่ความจุ
ไฟฟ้าที่เพิ่มขึ้นต่อค่า α ที่เพิ่มขึ้นจากสมการ (35)

นำสมการ (36) และ (37) มารวมกันจะได้

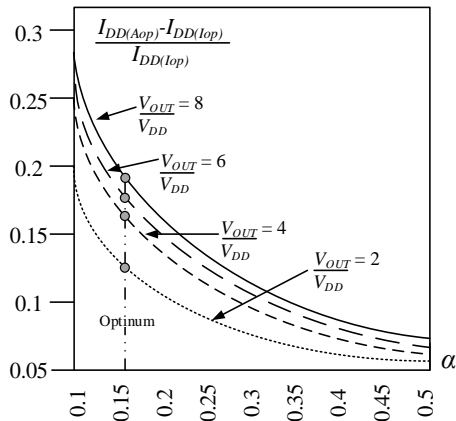
$$\frac{I_{DD(Aop)} - I_{DD(lop)}}{I_{DD(lop)}} = \frac{\left[2(1+2\alpha) \left(\frac{V_{OUT}}{V_{DD}} - 1\right) + 1\right]}{\left[\left(1+2\alpha\right) + 2\sqrt{\alpha + \alpha^2} \left(\frac{V_{OUT}}{V_{DD}} - 1\right) + 1\right]} \quad (38)$$

จากสมการ (38) นำไปพล็อตกราฟแสดงดังรูป
ที่ 11 พบว่าเมื่อ α เพิ่มขึ้น I_{DD} จะลดลงและเป็นฟังก์ชัน
เพิ่มขึ้นของอัตราส่วน โดยเฉพาะอย่างยิ่งวงจรถ่ำ
หนึ่งสแตจ ค่ากระแสสิ้นเปลืองจะเพิ่มขึ้น จุดที่เหมาะสม
คือพื้นที่วงจรถ่ำไม่เกินร้อยละ 20 และในอีกกรณีหนึ่ง เมื่อ
อัตราส่วน V_{OUT}/V_{DD} มีค่ามากกว่า 4 ค่ากระแส

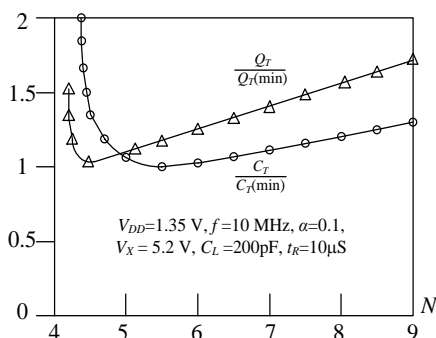
สิ้นเปลืองจะมากกว่าร้อยละ 20 ทำให้ค่า α ต่ำน้อยกว่า 0.15

3. กลยุทธ์ออกแบบวงจรอัตราที่มีโหลดเป็นตัวเก็บประจุอย่างเดียว

ตารางที่ 3 ได้แสดงค่าพารามิเตอร์ที่สำคัญในการออกแบบวงจรอัตราที่มีโหลดเป็นตัวเก็บประจุอย่างเดียวและยังสามารถหาได้จากสมการ (12) (21) และ (27) ตัวแปรแรกที่เราให้ความสนใจคือจำนวนสเตจ N แต่เราไม่สามารถใช้สมการ (11) หาค่า N ได้เนื่องจากแรงดันเอาต์พุตจากสมการที่ (11) เป็นแรงดันเอาต์พุตที่สถานะคงตัวคือเวลาผ่านไปนานแล้วในทำนองเดียวกันกับกรณีของกระแสไหลคดที่ได้อธิบายไปในหัวข้อที่แล้ว จึงกลยุทธ์ในการออกแบบวงจรอัตราประจุนิดนี้จึงมีแนวทางอยู่สองวิธีที่จะนำเสนอซึ่งพิจารณาได้จากกราฟในรูปที่ 12 แนวทางแรกคือการลดขนาดพื้นที่วงจรรวมและ Rise time ให้มีค่าต่ำสุด และการลดจำนวนประจุนิดเปลี่ยนแปลงให้มีค่าน้อยที่สุด ซึ่งจะได้อธิบายในหัวข้อถัดไป



รูปที่ 11 กราฟความสัมพันธ์ระหว่างอัตราส่วนกระแสสิ้นเปลืองที่เพิ่มขึ้นต่อค่า α ที่เพิ่มขึ้นจากสมการ (38)



รูปที่ 12 กราฟความสัมพันธ์ระหว่างอัตราส่วนประจุนิดเปลี่ยนแปลง และอัตราส่วนความจุไฟฟ้ารวมกับจำนวนสเตจ

ตารางที่ 3 พารามิเตอร์ที่ใช้ออกแบบวงจร

พารามิเตอร์	คำแนะนำ
V_{DD}	ขึ้นอยู่กับเทคโนโลยีที่ใช้
Q_T	ไม่ทราบค่า
$V_{OUT}(t_R)$	มีข้อจำกัดในการออกแบบ
t_R	มีข้อจำกัดในการออกแบบ
$f=1/T$	ขึ้นอยู่กับระบบที่ใช้
$C_T \propto A_T$	ไม่ทราบค่า
N	ไม่ทราบค่า
$\alpha = C_p/C$	ขึ้นอยู่กับเทคโนโลยีที่ใช้

3.1 การออกแบบวงจรให้มีพื้นที่ครอบครองวงจรรวมและ Rise time มีค่าต่ำสุด

เราจะเริ่มต้นจากหาค่าจำนวนสเตจ N ที่เหมาะสมที่สุดที่ทำให้พื้นที่วงจรรวมที่น้อยที่สุดก่อนโดยการหาค่า C_T โดยการให้อนุพันธ์ของสมการ (19) เท่ากับศูนย์ เพื่อหาค่า N จะได้

$$-2 \ln \frac{(N+1)-V_x}{(N-1)-V_{x0}} + N \left[\frac{1}{(N+1)-V_{x0}} - \frac{1}{(N+1)-V_x} \right] = 0 \quad (39)$$

จากสมการ (39) เราจะจัดรูปสมการให้ง่ายขึ้นโดยใช้สมการพีชคณิตประมาณค่าจากบทความของ Palumbo et al. (2002) จะได้

$$\ln(x) \approx \frac{2x^2 - x - 1}{3x} \quad (40)$$

นำสมการ (40) แทนในสมการ (39) จะได้

$$\frac{(V_x - V_{x0})[4V_x + 2V_{x0} - 3(N+2)]}{[(N+1)-V_x][(N+1)-V_{x0}]} = 0 \quad (41)$$

จากข้อมูลทั้งหมด สามารถหาค่าจำนวนสเตจ N ที่ทำให้ค่าความจุไฟฟ้ารวมและค่า Rise time ต่ำที่สุดจะมีค่าดังสมการ

$$N_{Aop} = \frac{4}{3}V_x + \frac{2}{3}V_{x0} - 2 \quad (42)$$

โดยทั่วไปแล้วค่า V_{x0} จะมีค่าประมาณ 1 (เมื่อค่า x ในสมการ (40) มีค่าอยู่ระหว่าง 0.3 ถึง 1) จึงประมาณค่าสมการใหม่ได้เป็น

$$N_{Aop} = \frac{4}{3}(V_x - 1) \quad (43)$$

เมื่อได้ค่า N_{Aop} แล้วก็จะสามารถหาค่า t_R โดยแทนลงในสมการ (19) เพื่อนำไปหาค่าความจุไฟฟ้ารวม C_T และ C ต่อไป

3.2 การออกแบบวงจรให้มีค่าประจุสั้นเปลี่ยนต่ำสุด

การออกแบบจะเริ่มต้นจากการหาค่าจำนวนสแตจ N ที่ทำให้ประจุสั้นเปลี่ยนมีค่าต่ำสุด โดยหาอนุพันธ์ของสมการ (27) แล้วให้เท่ากับศูนย์ คือ

$$(V_x - V_{x0}) + 2\alpha N \cdot \ln \frac{(N+1) - V_{x0}}{(N+1) - V_x} - \dots \dots \alpha N^2 \frac{V_x - V_{x0}}{[(N+1) - V_x][(N+1) - V_{x0}]} = 0 \quad (44)$$

จากสมการ (44) เราจะจัดรูปสมการให้ง่ายขึ้นโดยใช้สมการพีชคณิตประมาณค่าจากบทความของ Palumbo & Pappalard (2006) จะได้

$$\ln(x) \approx 2(x-1) \quad (45)$$

นำสมการ (45) แทนในสมการ (44) จะได้

$$1 + \frac{4\alpha N}{(N+1) - V_{x0}} - \frac{\alpha N^2}{[(N+1) - V_x][(N+1) - V_{x0}]} = 0 \quad (46)$$

จัดรูปสมการใหม่ได้

$$(1 + 3\alpha)N^2 - [V_x + V_{x0} + 4\alpha(V_x - 1) - 2]N + \dots \dots (V_x - 1)(V_{x0} - 1) = 0 \quad (47)$$

โดยทั่วไปแล้วค่า V_{x0} จะมีค่าประมาณ 1 ดังนั้นจึงประมาณค่าสมการใหม่ได้เป็น

$$N_{Qop} = \frac{1 + 4\alpha}{1 + 3\alpha} (V_x - 1) \quad (48)$$

เมื่อได้ค่า N_{Qop} แล้วก็จะสามารถหาค่า ความจุไฟฟ้ารวม C_T และ C ต่อไปโดยแทนลงในสมการ (19) เพื่อนำไปหาค่า t_R ต่อไป

3.3 เปรียบเทียบกลยุทธ์การออกแบบของทั้งสองวิธี

ในหัวข้อนี้จะขอเปรียบเทียบข้อเด่นและข้อด้อยของทั้งสองวิธี ที่ได้อธิบายไปในหัวข้อ 3.1 และ 3.2 เพื่อให้ผู้อ่านพิจารณาหาวิธีที่เหมาะสมต่อไป

จากสมการ (19) เราสามารถนำค่า N_{Aop} และ N_{Qop} มาแทนในสมการเพื่อหาค่า t_R ที่เหมาะสมเพื่อให้พื้นที่วงจรถ้าต่ำสุดและประจุสั้นเปลี่ยนต่ำสุดตามลำดับ เราจะเริ่มต้นจากการนำค่า N_{Aop} จากสมการ (43) แทนลงในสมการ (19) จะได้

$$t_{R(Aop)} = T \frac{C_L + C_{Eq}}{C_{T(Aop)}} \left(\frac{4}{3} (V_x - 1) \right)^2 \ln 4 \quad (49)$$

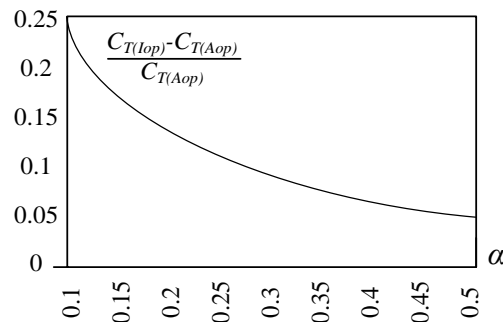
นำค่า N_{Qop} จากสมการ (48) แทนลงในสมการ (19) จะได้

$$t_{R(Qop)} = T \frac{C_L + C_{Eq}}{C_{T(Qop)}} \left(\frac{1 + 4\alpha}{1 + 3\alpha} (V_x - 1) \right)^2 \ln \left(\frac{1}{\alpha} + 4 \right) \quad (50)$$

$C_{T(Aop)}$ และ $C_{T(Qop)}$ คือค่าความจุไฟฟ้ารวมของวงจรที่พื้นที่วงจรถ้าต่ำสุดและประจุสั้นเปลี่ยนมีค่าต่ำสุดตามลำดับ ถ้าเรากำหนดให้ค่า rise time จากสมการ (49) และ (50) มีค่าเป็นไปตามที่เราต้องการแล้วก็จะสามารถประมาณค่าอัตราการผลิตเพิ่มขึ้นของค่าความจุไฟฟ้ารวมที่ออกแบบให้มีกำลังงานต่ำสุดกับค่าพื้นที่วงจรถ้าต่ำสุดดังสมการ

$$\frac{C_{T(Qop)} - C_{T(Aop)}}{C_{T(Qop)}} = \left(\frac{3}{4} \cdot \frac{1 + 4\alpha}{1 + 3\alpha} (V_x - 1) \right)^2 \frac{\ln \left(\frac{1}{\alpha} + 4 \right)}{\ln 4} - 1 \quad (51)$$

จากสมการ (51) สามารถแสดงเป็นกราฟได้ดังรูปที่ 13 จะพบว่าค่าอัตราการผลิตเพิ่มขึ้นของพื้นที่จะลดลงจากร้อยละ 25 จนถึงร้อยละ 5 ในขณะที่ α เพิ่มขึ้นจาก 0.1 ถึง 0.5



รูปที่ 13 กราฟค่าอัตราการผลิตเพิ่มขึ้นของ C_T (ที่แปรผันตามพื้นที่วงจรถ้าต่ำสุด) กำลังงานต่ำสุดกับค่าพื้นที่วงจรถ้าต่ำสุด

เพื่อเปรียบเทียบการเปลี่ยนแปลงประจุของทั้งสองวิธีเราจะนำค่าจากสมการ (43) และ (48) แทนลงในสมการ (28) โดยประมาณค่าให้ $V_{x0} = 1$ ก็จะได้

$$Q_{T(Aop)} = \left[\frac{4}{3} (V_x - 1)^2 + \alpha \left(\frac{4}{3} (V_x - 1)^2 \ln 4 \right) \right] (C_L + C_{Eq}) V_{DD} \quad (52)$$

และ

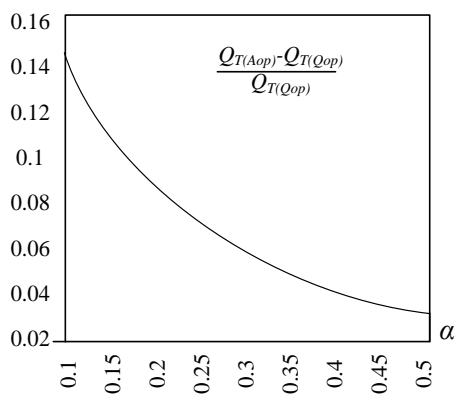
$$Q_{T(Qop)} = \left(\frac{1 + 4\alpha}{1 + 3\alpha} \right) (V_x - 1)^2 + \alpha \left(\frac{1 + 4\alpha}{1 + 3\alpha} \right)^2 (V_x - 2)^2 \dots \quad (53)$$

$$\dots \ln \left(\frac{1}{\alpha} + 4 \right) (C_L + C_{Eq}) V_{DD}$$

ในการออกแบบให้มีค่าประจุสั้นเปลืองต่ำสุด เราจะพิจารณาจากอัตราการเพิ่มขึ้นของประจุสั้นเปลืองต่อพื้นที่ในการออกแบบโดยการนำสมการ (52) และ (54) มารวมกันใหม่เป็น

$$\frac{Q_{T(Aop)} - Q_{T(Qop)}}{Q_{T(Qop)}} = \frac{\frac{4}{3} \left(1 + \alpha \frac{4}{3} \ln 4 \right)}{\frac{1 + 4\alpha}{1 + 3\alpha} \left[1 + \alpha \frac{1 + 4\alpha}{1 + 3\alpha} \ln \left(\frac{1}{\alpha} + 4 \right) \right]} - 1 \quad (54)$$

จากสมการ (54) สามารถนำไปสร้างกราฟได้ ดังรูปที่ 14 จะพบว่าอัตราการเพิ่มขึ้นของประจุสั้นเปลืองมีค่าต่ำกว่าร้อยละ 15 เมื่อค่า α เพิ่มขึ้น



รูปที่ 14 กราฟค่าอัตราการเพิ่มขึ้นของประจุสั้นเปลืองเมื่อออกแบบให้มีพื้นที่วงจรถ่ำสุด

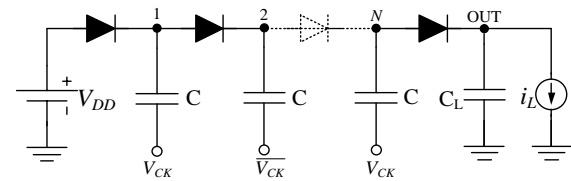
4 วงจรอัดประจุชนิดต่างๆ

ในหัวข้อนี้ก่อนหน้านี้นี้เราได้อธิบายหลักการ ทำงานของวงจรอัดประจุที่ใช้สวิตช์ขุดมคติไปแล้ว แต่ในความเป็นจริงจะมีความแตกต่างไปมาก หัวข้อนี้จะได้กล่าวถึงวงจรอัดประจุที่ใช้งานจริงในทางปฏิบัติ ซึ่งมีด้วยกันหลายชนิดด้วยกัน

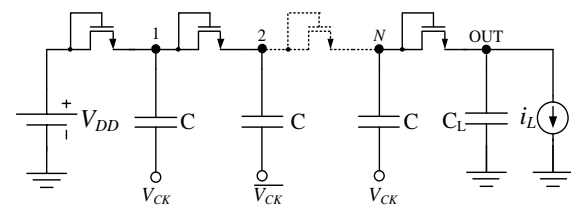
4.1 วงจรอัดประจุแบบดิกสัน (Dickson Charge Pump) (Dickson, 1976)

วงจรอัดประจุแบบดิกสันถือเป็นวงจรอัดประจุรุ่นแรกๆ ที่ถูกประดิษฐ์ขึ้นโดย Dickson วงจรนี้จะใช้ไดโอดแทนสวิตช์ทั้งหมด ดังรูปที่ 15 และได้มีการปรับปรุงมาใช้ทรานซิสเตอร์มอสเฟตแทนไดโอด เพื่อลดพื้นที่ของวงจรและสามารถผลิตเป็นวงจรรวมได้ ดังรูปที่ 16 ข้อดีของวงจรที่ใช้ไดโอดก็คือไม่จำเป็นต้องมีสัญญาณมาควบคุมเหมือนกับสวิตช์ แต่วงจรนี้ก็มีข้อเสียคือไดโอดจะต้องมีแรงดันไบอัสตรงเพื่อให้ตัวมัน

นำกระแสจึงทำให้แรงดันเข้าพุทของวงจรถดลง ซึ่งเป็นข้อด้อยที่ลดประสิทธิภาพของวงจรถดประจุลงอย่างมาก



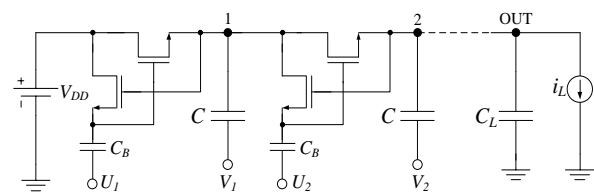
รูปที่ 15 วงจรอัดประจุแบบดิกสัน



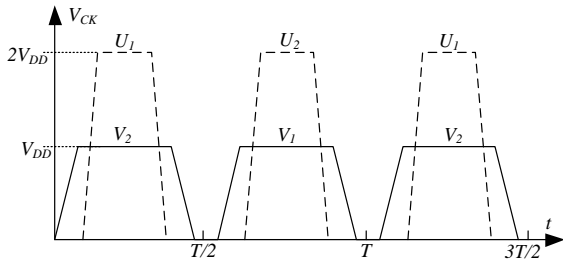
รูปที่ 16 วงจรอัดประจุที่ใช้มอสเฟตแทนไดโอด

4.2 เทคนิคการปรับปรุงวงจรอัดประจุแบบบูต แทรป (Bootstrap Charge Pump) (Unbehauen & A. Cichocki, 2011; Atsumi et al., 1994)

การปรับปรุงวงจรอัดประจุให้มีประสิทธิภาพมากขึ้นจะนิยมใช้วิธีการที่เรียกว่า Bootstrap CP ซึ่งเป็นวิธีที่นิยมใช้กันอย่างกว้างขวาง ดังรูปที่ 17 และใช้สัญญาณนาฬิกาขั้ววงจรถดรูปที่ 18 ถึงแม้ว่าการนำทรานซิสเตอร์มอสเฟตมาเป็นสวิตช์จะเป็นหลักการง่ายๆ แต่ในวงจรอัดประจุนี้ แรงดันที่ปรากฏที่สวิตช์จะมีค่าสูงกว่าแรงดันแหล่งจ่ายเสมอ ดังนั้นมอสเฟตที่นำมาใช้แทนสวิตช์ในวงจรอัดประจุนี้จะต้องสามารถนำกระแสหรือ switched-on ได้ในช่วงค่าแรงดันขาเกตที่สูงกว่าขาซอร์ส จากรูปที่ 17 พบว่าวงจรมอสเฟตต้องการแรงดันขาเกตที่สูงกว่าแรงดันที่ได้รับจากวงจรถดประจุเหล่านี้ จึงต้องใช้เทคนิคการบูตแทรปกับวงจรถดประจุเหล่านี้โดยการเพิ่มจำนวนมอสเฟตกับตัวเก็บประจุเข้าไปอีกสเตจละหนึ่งตัว

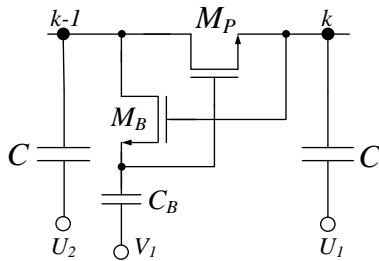


รูปที่ 17 วงจรอัดประจุแบบบูตแทรป (N=2)



รูปที่ 18 สัญญาณนาฬิกาวงจรอัดประจุแบบบูตแตรป

เราจะพิจารณาวงจรบูตแตรปในรูปที่ 19 เพื่อให้เข้าใจก่อน เริ่มจากสัญญาณนาฬิกาครึ่งคาบแรก มอสเฟตยังไม่ทำงาน (M_1 -open) ยังไม่มีประจุไหลผ่าน สัญญาณ FB_1 จะมีค่าเป็น Low ทำให้มอสเฟต M_B ทำงาน ทำให้แรงดันที่ขาเกตมีค่ามากกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage) ของมอสเฟต นั่นคือ $V_{GS}(M_B) = 2V_{DD}$ ทำให้ตัวเก็บประจุ C_B ถูกชาร์จจนมีแรงดันเท่ากับ $V_{k-1} = (k-1)V_{DD} - (k-2)\Delta V$ และในช่วงเวลานี้ สัญญาณนาฬิกา F_1 และ F_2 ก็จะเปลี่ยนสถานะ และหลังจากผ่าน Time slot ช่วงสั้นๆ FB_1 จะมีสถานะเป็น High จนถึงระดับ $2V_{DD}$ มอสเฟต M_B ก็จะหยุดทำงาน ในขณะที่มอสเฟต M_P จะทำงาน ขณะที่แรงดันขาเกตของ M_P จะเท่ากับ $(k-1)V_{DD} - (k-2)\Delta V$ ซึ่งจะมีค่าสูงกว่าแรงดันที่ขาซอร์ส



รูปที่ 19 วงจรบูตแตรปย่อย

4.3 วงจรอัดประจุคู่ (Double Charge Pump)

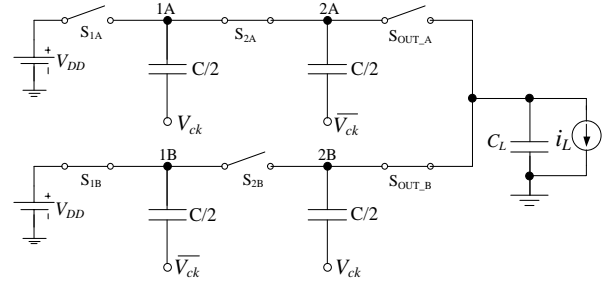
(Kawahara et al., 1996)

วงจรอัดประจุคู่ จัดเป็นเทคนิคอีกชนิดหนึ่งที่สามารถลดการเกิดการกระเพื่อมของแรงดันเอาต์พุต (Output ripple) โดยการใช่วงจรอัดประจุที่เหมือนกันมาต่อขนานกันดังรูปที่ 20 โดยแต่ละวงจรที่นำมาต่อกัน จะมีค่าความจุไฟฟ้ารวมเป็น $C/2$ และแต่ละวงจรรย่อยก็ จะทำงานที่สัญญาณนาฬิกาที่แตกต่างกันด้วย ทำให้ ประจุ ΔQ ถูกส่งไปยังเอาต์พุตแบ่งออกเป็นสองส่วน ตามจังหวะสัญญาณนาฬิกา ทำให้ค่าแรงดันกระเพื่อม

ของวงจรรย่อยทั้งสองวงจรถูกหักล้างกันไปที่หัวเอาต์พุต เนื่องจากมีเฟสต่างกัน ดังสมการ

$$V_{Ripple} = \frac{1}{2} \cdot \frac{\Delta Q}{C_L} = \frac{i_L}{2} \cdot \frac{T}{C_L} \quad (55)$$

เทคนิคนี้ช่วงเวลาการอัดประจุของทั้งสองวงจรรย่อยไปยัง C_L ก็จะมีค่าลดลงด้วยเนื่องจาก กระแส i_L มีช่วงเวลาทำงานเพียง $T/2$



รูปที่ 20 วงจรอัดประจุคู่อย่างง่าย ($N=2$)

5. สรุปผล

หลักการเบื้องต้นของวงจรอัดประจุเป็นวงจรที่สามารถเพิ่มแรงดันให้สูงขึ้นได้โดยใช้แหล่งจ่ายแรงดันที่ต่ำกว่าได้โดยอาศัยหลักการของการอัดและคายประจุตามจังหวะสัญญาณนาฬิกา เพื่อเพิ่มจำนวนประจุให้มากขึ้น โดยมีตัวแปรที่เกี่ยวข้องที่สำคัญคือจำนวนสเตจ พื้นที่วงจร ค่าความจุไฟฟ้ารวม กระแสโหลด และความถี่ของสัญญาณนาฬิกา นอกจากนี้บทความนี้ได้เรียบเรียงเทคนิคในการออกแบบวงจรอัดประจุไว้ดังนี้คือ กรณีวงจรรอัดประจุที่มีโหลดกระแส จะใช้วิธีการหาพื้นที่ที่ครอบครองของวงจรให้มีค่าต่ำที่สุด และการออกแบบวงจรให้มีค่ากระแสหรือกำลังสิ้นเปลืองต่ำที่สุด (ทั้งสองกรณีจะเหมือนกันคือการหาค่า C_T ที่เหมาะสม) ส่วนในกรณีที่วงจรรอัดประจุมีโหลดเป็นตัวเก็บประจุอย่างเดี่ยว จะใช้วิธีการออกแบบวงจรให้มีพื้นที่ที่ครอบครองวงจร และ Rise time มีค่าต่ำสุด และการออกแบบวงจรให้มีค่าประจุสิ้นเปลืองต่ำสุด (ทั้งสองกรณีจะเหมือนกันคือการหาค่า C_T และ t_r ที่เหมาะสม) ตามลำดับ พร้อมทั้งเปรียบเทียบเทคนิคการออกแบบของทั้งสองวิธี และในหัวข้อสุดท้ายจะได้กล่าวถึงวงจรรอัดประจุที่นำไปใช้งานจริงอย่างแพร่หลาย คือวงจรรอัดประจุคิกสัน เทคนิคการปรับปรุงวงจรรอัดประจุแบบบูตแตรปยิ่งขึ้น และเทคนิควงจรรอัดประจุคู่เพื่อลดค่าแรงดันกระเพื่อมที่เอาต์พุต

ตารางที่ 4 สรุปตัวแปรทั้งหมดในบทความนี้

ตัวแปร	ชื่อตัวแปร	หน่วย
A_{Tot}	Total silicon area	m^2
A_{op}	Area optimum	-
C	Capacitance	F
C_L	Load capacitance	F
C_B	Bootstrap capacitance	F
C_p	Parasitic capacitance	F
C_{Tot}	Total capacitance	F
C_{Eq}	Equivalent capacitance	F
f	Frequency	Hz
	Current consumption	
I_{VDD}	A_{op} = minimum area I_{op} = minimum current	A
I_{id}	Ideal current consumption	A
I_{Par}	Parasitic current consumption	A
I_L	Load current	A
k	Constant number	-
N	Number of stage	-
N_{Aopt}	Area occupation minimization Stage number	-
N_{Iopt}	Current consumption minimization Stage number	-
Q	Charge	C
Q_{Tot}	Total charge	C
	Total charge	
	A_{op} = minimum area	
Q_T	Q_{op} = minimum charge consumption	C
Q_L	Load Charge	C
Q_{pump}	Pumping Charge	C
Q_{Par}	Parasitic charge	C
ΔQ	Difference charge	C
S	Switch	-
T	Period time	s
t_R	Rise time	s
V_{DD}	Supply voltage	V
V_{out}	Output voltage	V
V_{ck}	Clock signal voltage	V
V_x, V_X	Normalizing the output voltage to power supply	-
α	Capacitance ratio, C_p/C	-

ข้อเสนอแนะ

จากบทความทั้งหมดที่ได้กล่าวมานี้ ทางผู้เขียนได้อธิบายและวิเคราะห์ให้เห็นถึงหลักการของวงจรอัดประจุ โดยเน้นที่เทคนิคการออกแบบวงจร ซึ่งจะมุ่งเน้นไปยังการลดขนาดพื้นที่วงจร กระแสสิ้นเปลือง ค่าความจุไฟฟ้ารวม และจำนวนสแตจ ซึ่งก็ขึ้นอยู่กับเทคโนโลยีที่ใช้ในการผลิตว่าจะเป็นแบบใด ซึ่งปัจจุบันนี้เทคโนโลยีซีมอส (CMOS) ได้เข้ามามีบทบาทในการสร้างวงจรรวมเป็นอย่างมาก อีกทั้งการวิจัยเพื่อหาเทคนิคแบบใหม่ๆ ก็ยังคงมีอยู่อย่างต่อเนื่อง เช่น Double Charge Pump และ Serial Parallel Charge Pump เป็นต้น จึงคาดว่าวงจรอัดประจุจะสามารถมาแทนที่วงจรจ่ายพลังงานไฟฟ้าแบบเดิมๆ ที่มีใช้กันอยู่ในปัจจุบันที่มีขนาดใหญ่ มีการสูญเสียพลังงานสูง และทำให้เครื่องใช้อิเล็กทรอนิกส์ในอนาคตมีขนาดเล็กลงอย่างมาก

เอกสารอ้างอิง

- Atsumi, S., Kuriyama, M., Umezawa, A., Banba, H., Naruke, K., et al. 1994. A 16-Mb flash EEPROM with a new self-data-refresh scheme for a sector erases operation. **IEEE Journal of Solid-State Circuits**. 29(4): 461-468.
- Dickson, J.F. 1976. On-chip high voltage generation NMOS integrated circuit using an improved voltage multiplier technique. **IEEE Journal of Solid-State Circuits**. 11(3): 374-378.
- Kawahara, T., Kobayashi, T., Jyouno, Y., Saeki, S.I., Miyamoto, N., et al. 1996. Bit-line clamped sensing multiplex and accurate high voltage generator for quarter-micron flash memories. **IEEE Journal of Solid-State Circuits**. 31(11): 1590-1599.
- Palumbo, G. and Pappalardo, D. 2006. Charge pump circuits with only capacitive loads: optimized design. **IEEE Transactions on Circuits and Systems II: Express Briefs**. 53(2): 128-132.
- Palumbo, G., Pappalardo, D. and Gaibotti, M. 2002. Charge-pump circuits: power-consumption optimization. **IEEE**

Transactions on Circuits and Systems
I: Fundamental Theory and
Applications. 49(11): 1535-1542.

Palumbo, G., Barniol, N. and Bethaoui, M. 2000.
Improved behavioral and design model of
an Nth-order charge pump. **IEEE
Transactions on Circuits and Systems I:
Fundamental Theory and Applications.**
47(2), 264-268.

Pan, F. and Samaddar, T. 2006. **Charge Pump
Circuit Design.** New York, McGraw-Hill.
247p.

Tanzawa, T. and Tanaka, T. 1997. A dynamic
analysis of the Dickson charge pump
circuit. **IEEE Journal of Solid-State
Circuits.** 32(8): 1231-1240.

Unbehauen, R. and Cichocki, A. 2011. **MOS
Switched - Capacitor and Continuous-
Time Integrated Circuits and Systems.**
London: Springer.